



⑮ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 197 41 436 A 1**

⑤ Int. Cl.⁶:
H 01 L 23/50

⑲ Aktenzeichen: 197 41 436.2
⑳ Anmeldetag: 19. 9. 97
㉔ Offenlegungstag: 17. 12. 98

Mit Einverständnis des Anmelders offengelegte Anmeldung gemäß § 31 Abs. 2 Ziffer 1 PatG

⑦① Anmelder:
Siemens AG, 80333 München, DE

⑦② Erfinder:
Neu, Achim, Dipl.-Ing., 93059 Regensburg, DE

⑤⑥ Entgegenhaltungen:

DE 37 04 547 A1
US 42 68 849
JP 58-1 05 554 A
JP 08-2 93 522 A
JP 03-1 90 239 A

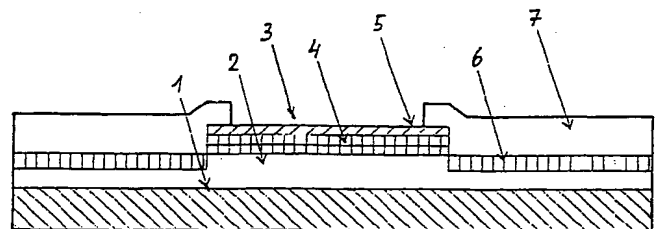
JP 6-260577 A. In: Patent Abstracts of Japan,
E-1644, 14.12.1994, Vol. 18, No. 661;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleiterbauelement

⑤⑦ Bei einem Halbleiterbauelement mit einem aus mehreren Schichten aufgebauten Bauelementkörper weisen die auf einem thermischen Siliciumoxid (2) angeordneten Pads (3) eine Nickelschicht (4) auf.



DE 197 41 436 A 1

DE 197 41 436 A 1

Beschreibung

Die Erfindung betrifft ein Halbleiterbauelement mit einem aus mehreren Schichten aufgebauten Bauelementkörper, der eine Siliciumoxidschicht aufweist, auf welcher leitfähige Pads zum Anschluß von Anschlußdrähtchen vorgesehen sind.

Unter Pads werden allgemein Anschlußkontaktstellen am Bauelementkörper verstanden, an denen Anschlußdrähtchen angebracht werden können, die zur elektrischen Verbindung des Halbleiterbauelements (Chips) mit anderen elektrisch leitenden Bereichen der Umgebung dienen.

Um die Anschlußdrähtchen auf den Pads befestigen zu können, ist es erforderlich, die Metallisierung der Pads auf die entsprechende Montagetechnik abzustimmen. Bei der sogenannten Wirebond-Montage, bei welcher die Verbindung mittels Ultraschall und gegebenenfalls zusätzlicher Temperatur geschaffen wird, wird üblicherweise als Metallisierung für die Pads eine Aluminiumlegierung in der Form $\text{AlSi1. AlCu0.5, AlSiCu}$ verwendet. Diese Metallisierungen befinden sich direkt auf Silicium, Siliciumdioxid, Titan oder anderen Diffusionsbarrieren, die als Sperrschicht dienen, oder können sich auch direkt auf aktiv geschalteten Strukturen befinden. Als weitere Montagetechnik ist die Löttechnik bekannt, die insbesondere bei der Flip-Chip-Montage, beispielsweise auf Leadframe, Ball-Grid-Array-Substrat oder einem PC-Board verwendet wird. Da Kupfer jedoch eine hohe Diffusions- und Migrationsneigung hat, erfordert der Einsatz von Kupferpads die Notwendigkeit einer Diffusionssperre, um das Eindringen des Kupfers in den Chipaufbau zu verhindern. Hierzu wird üblicherweise eine Titan-, Titan-Wolfram- oder Titan-Nitrit-Basis verwendet.

Nachteilig ist bei diesen bekannten Pad-Metallisierungen, daß sie nur für jeweils eine Montagetechnik geeignet sind, so daß bei verschiedenen Bausteinarten entweder zwei verschiedene Montagelinien oder kostspielige Umrüstungen der bestehenden Montagelinie erforderlich sind.

Der Erfindung liegt daher die Aufgabe zugrunde, ein Halbleiterbauelement gemäß dem Oberbegriff des Anspruchs 1 zu schaffen, welches sowohl lötfähig als auch wirebondfähig ist.

Diese Aufgabe wird erfindungsgemäß durch die Merkmale des Anspruchs 1 gelöst. Vorteilhafte Ausführungsformen der Erfindung sind in den weiteren Ansprüchen beschrieben.

Beim erfindungsgemäßen Halbleiterbauelement weisen die Pads eine Nickelschicht auf. Eine derartige Nickelschicht ist sowohl lötfähig als auch wirebondfähig, so daß die beiden entsprechenden Arten von Montagetechniken bzw. Fertigungslinien verwendet werden können. Darüber hinaus ist Nickel ein Metall, das unter Umständen auch eine Befestigung des Anschlusses mittels Leitleber an den Pads ermöglicht. Von Vorteil ist, daß Nickel eine geringe Diffusionsneigung hat, so daß es selbst als Diffusionssperre wirkt und daher direkt auf das Siliciumoxid aufgebracht werden kann.

Gemäß einer vorteilhaften Ausführungsform der Erfindung ist die Nickelschicht von einer oxidationsverhindernden Deckschicht aus leitendem Metall bedeckt. Besonders vorteilhaft ist es hierbei, wenn diese Deckschicht aus Palladium mit einer Dicke von 0,05 bis 0,3 μm , aus Gold mit einer Dicke von 0,1 bis 0,4 μm oder aus einer Kombination einer Palladium- und Goldschicht mit einer Palladiumdicke von 0,05 bis 0,3 μm und einer Golddicke von 20 bis 100 nm besteht. Mittels einer derartigen Deckschicht kann die Korrosion des Nickels zuverlässig verhindert werden. Weiterhin kann auf einen Underfill bei der Flip-Chip-Montage verzichtet werden, d. h. auf eine Ausfüllung von Spalten zwi-

schen dem Bauelementkörper und der darunterliegenden Trägerschicht, beispielsweise mittels Silikongel.

Von Vorteil ist weiterhin, daß Nickel, Palladium und Gold Standard-Targets für Sputter-Anlagen und damit kostengünstiger als komplexe Mehrlegierungstargets sind.

Die Erfindung wird nachfolgend anhand der Zeichnungen beispielhaft näher erläutert. Diese zeigt in der einzigen Figur in schematischer Weise einen Vertikalschnitt durch ein Halbleiterbauelement im Bereich eines Pads.

Das dargestellte Halbleiterbauelement besteht aus einer Basisschicht 1 aus Silicium, die von einer darüberliegenden Siliciumoxidschicht 2 bedeckt ist. Im Bereich eines Pads 3 ist die Siliciumoxidschicht 2 im Vergleich zu den Umgebungsbereichen etwas erhöht. Auf dem erhöhten Bereich der Siliciumoxidschicht 2 ist eine Nickelschicht 4 mit einer Dicke von 0,5 bis 2 μm aufgebracht. Diese Nickelschicht 4 ist wiederum von einer Deckschicht 5, beispielsweise aus Palladium mit einer Dicke von 0,05 bis 0,3 μm , bedeckt.

In den Seitenbereichen neben dem Pad 3 ist die Siliciumoxidschicht 2 von einer weiteren Siliciumoxidschicht 6 überdeckt, welche mittels CVD-Verfahren (Chemical Vapor Deposition) aufgebracht wird.

Diese gesamte Anordnung wird bei der Herstellung des Bauelements mit einer weiteren Schutzschicht 7 überdeckt, die beispielsweise aus Siliciumnitrid bestehen kann. Diese Schutzschicht 7 wird anschließend im Bereich des Pads 3 wieder abgeätzt, so daß die Pad-Metallisierung freiliegt.

Bezugszeichenliste

- 1 Basisschicht aus Silicium
- 2 Siliciumoxid
- 3 Pad
- 4 Nickelschicht
- 5 Deckschicht
- 6 Siliciumoxidschicht
- 7 Schutzschicht

Patentansprüche

1. Halbleiterbauelement mit einem aus mehreren Schichten aufgebauten Bauelementkörper, der thermisches Siliciumoxid (2) aufweist, auf welcher leitfähige Pads (3) zum Anschluß von Kontakten vorgesehen sind, **dadurch gekennzeichnet**, daß die Pads (3) eine Nickelschicht (4) aufweisen.
2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß die Nickelschicht (4) von einer oxidationsverhindernden Deckschicht (5) aus leitfähigem Metall bedeckt ist.
3. Halbleiterbauelement nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die Nickelschicht (4) 0,5 bis 2 μm dick ist.
4. Halbleiterbauelement nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Deckschicht (5) aus Palladium besteht und eine Dicke von 0,05 bis 0,3 μm hat.
5. Halbleiterbauelement nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Deckschicht (5) aus Gold besteht und eine Dicke von 0,1 bis 0,4 μm hat.
6. Halbleiterbauelement nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Deckschicht (5) aus einer Palladiumschicht mit 0,05 bis 0,3 μm Dicke und einer darüber angeordneten Goldschicht mit 20 bis 100 nm Dicke besteht.

Hierzu 1 Seite(n) Zeichnungen

- Leerseite -

